

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-150951

(43)Date of publication of application : 02.06.1999

(51)Int.Cl.

H02M 3/28

H02M 3/335

(21)Application number : 09-316875

(71)Applicant : NEC FUKUSHIMA LTD

(22)Date of filing : 18.11.1997

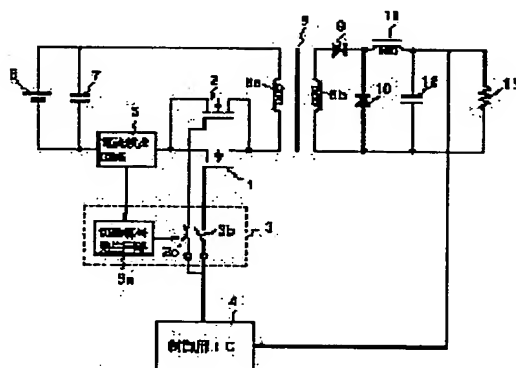
(72)Inventor : NOJI HIDEO

(54) SWITCHING POWER CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a switching power circuit wherein a switching loss caused by a parasitic capacitance of a power MOSFET can be reduced, when the switching power supply which uses the power MOSFET as a switching element and has a large output power is used in the small output power condition.

SOLUTION: When an output power is large, current in a current detecting circuit 5 is larger than a specified threshold value, thereby outputting a switching signal for turning both switches 3b, 3c ON from a switching signal generating circuit 3a. Compared with the conventional circuit wherein two power MOSFETs 1 and 2 operate parallelly but only the power MOSFET 2 of a small parasitic capacitance is used, an on-state resistance loss is reduced and, furthermore, a switching loss which is the sum of a loss by the parasitic capacitance and that by the on-state resistance is also reduced as a whole. When the output power is small, only the power MOSFET 2 operates, thereby reducing a loss by the parasitic capacitance and the entire switching loss.



LEGAL STATUS

[Date of request for examination] 18.11.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2990133

[Date of registration] 08.10.1999

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平11-150951

(43) 公開日 平成11年(1999) 6 月 2 日

(51) Int.Cl.⁶

識別記号

F I

H 0 2 M 3/28
3/335

H 0 2 M 3/28
3/335

S
B

審査請求 有 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願平9-316875

(22) 出願日 平成9年(1997)11月18日

(71) 出願人 390001074

福島日本電気株式会社

福島県福島市清水町字一本松1番地の1

(72) 発明者 野地 英男

福島県福島市清水町字一本松1番地の1

福島日本電気株式会社内

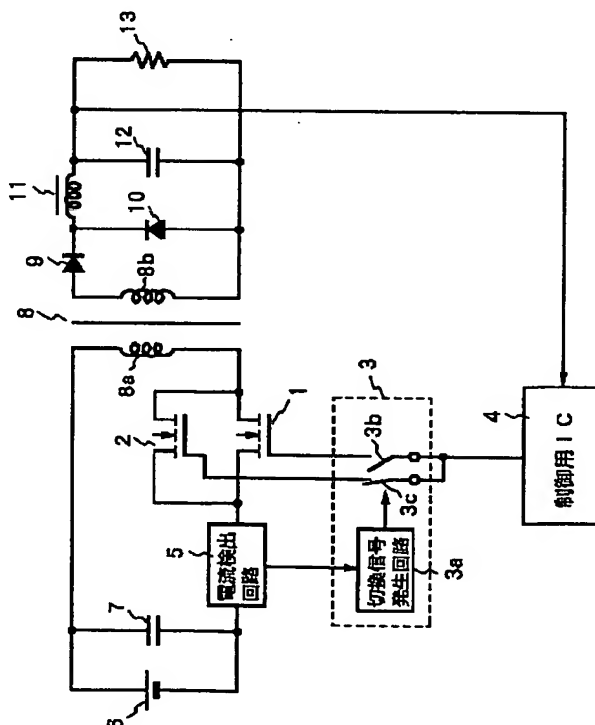
(74) 代理人 弁理士 松浦 兼行

(54) 【発明の名称】 スイッチング電源回路

(57) 【要約】

【課題】 従来は、電源のパワーに関係なく、同一のスイッチング素子を使用しているため、出力パワーの大きなスイッチング電源を出力パワーの小さい状態で使用した場合、スイッチング損失が大きく、変換効率を上げることができない。

【解決手段】 出力パワーが大きいときは、電流検出回路5に流れる電流が所定のしきい値よりも大きく、これにより切換信号発生回路3aからスイッチ3b及び3cの両方をオンとする切換信号が出力される。従って、2つのパワーMOSFET1及び2が並列動作し、寄生容量が小さなパワーMOSFET2のみを使用していた従来回路に比べてオン抵抗の損失が減り、寄生容量による損失分とオン抵抗による損失分の合計であるスイッチング損失が全体として低減する。出力パワーが小さいときには、パワーMOSFET2のみが動作し、寄生容量による損失分を低減できるので、全体のスイッチング損失も少なくできる。



【特許請求の範囲】

【請求項 1】 直流電源とトランスの一次巻線の一端の間にスイッチング素子が接続され、前記トランスの二次巻線が第 1 の整流回路を介して負荷に接続されると共に該負荷に印加される出力電圧を制御回路に帰還し、該制御回路により前記出力電圧に応じたオンデューティ比の制御信号を生成して前記スイッチング素子をスイッチング制御するスイッチング電源回路において、前記スイッチング素子として、寄生容量が小なる第 1 のトランジスタと、該第 1 のトランジスタに並列接続され、該第 1 のトランジスタよりもオン抵抗が小である第 2 のトランジスタとを設けると共に、出力パワーに応じた電流値を検出する検出回路と、前記検出回路により検出された電流値に基づき、前記出力パワーが予め設定したしきい値よりも大なるときには前記第 1 及び第 2 のトランジスタを並列動作させ、前記出力パワーが前記しきい値よりも小なるときには前記第 1 のトランジスタのみを選択動作させるように、前記制御回路の出力制御信号を前記第 1 及び第 2 のトランジスタに選択入力する切換回路とを設けたことを特徴とするスイッチング電源回路。

【請求項 2】 前記検出回路は、前記直流電源と前記第 1 及び第 2 のトランジスタの共通接続点との間に設けられていることを特徴とする請求項 1 記載のスイッチング電源回路。

【請求項 3】 前記検出回路は、前記トランスの二次巻線の一端と前記第 1 の整流回路との間に設けられていることを特徴とする請求項 1 記載のスイッチング電源回路。

【請求項 4】 前記検出回路は、前記直流電源と前記第 1 及び第 2 のトランジスタの共通接続点との間に一次巻線が接続されたカレントトランスからなり、前記切換回路は、前記カレントトランスの二次巻線に並列に接続された抵抗と、前記抵抗に接続された第 2 の整流回路と、前記しきい値に対応したレベルの基準電圧を発生する基準電圧源と、前記第 2 の整流回路の出力電圧と前記基準電圧とをレベル比較するコンパレータと、前記第 1 のトランジスタの制御端子に常時入力されている前記制御回路の出力制御信号を、前記第 2 のトランジスタの制御端子に前記コンパレータの出力信号に応じて入力し、又は遮断するスイッチとよりなり、前記第 2 の整流回路の出力電圧が前記基準電圧より大なる時のみ、前記スイッチをオンとして前記制御回路の出力制御信号を前記第 2 のトランジスタの制御端子に入力することを特徴とする請求項 1 又は 2 記載のスイッチング電源回路。

【請求項 5】 前記検出回路は、前記トランスの二次巻線の一端と該トランスの二次巻線に並列に接続された前記第 1 の整流回路を構成する整流ダイオードのアノードとの間に一次巻線が接続されたカレントトランスからな

り、

前記切換回路は、前記カレントトランスの二次巻線に並列に接続された抵抗と、前記抵抗に接続された第 2 の整流回路と、前記しきい値に対応したレベルの基準電圧を発生する基準電圧源と、前記第 2 の整流回路の出力電圧と前記基準電圧とをレベル比較するコンパレータと、前記第 1 のトランジスタの制御端子に常時入力されている前記制御回路の出力制御信号を、前記第 2 のトランジスタの制御端子に前記コンパレータの出力信号に応じて入力又は遮断するスイッチとよりなり、前記第 2 の整流回路の出力電圧が前記基準電圧より大なる時のみ、前記スイッチをオンとして前記制御回路の出力制御信号を前記第 2 のトランジスタの制御端子に入力することを特徴とする請求項 1 又は 3 記載のスイッチング電源回路。

【請求項 6】 前記第 1 及び第 2 のトランジスタは、パワー MOS FET であり、それぞれのドレインが前記トランスの一次巻線の一端に接続されていることを特徴とする請求項 1 乃至 5 のうちいずれか一項記載のスイッチング電源回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はスイッチング電源回路に係り、特にスイッチング素子にパワー MOS FET を使用したスイッチング電源回路に関する。

【0002】

【従来の技術】 図 5 は従来のスイッチング電源回路の一例の回路図を示す。この従来のスイッチング電源回路は、特開平 8-266044 号公報に開示されたスイッチング電源回路である。

【0003】 図 5 において、交流電源 31 は電源スイッチ 32、ノイズフィルタ 33 を介して 1 次直流電源回路 40 に接続されている。1 次直流電源回路 40 は、整流回路 41、平滑コンデンサ C1、放電抵抗 R1、トランジスタ Q1、限流抵抗 R2、トランジスタ Q2、抵抗 R3、ダイオード D1、トランス 50 の 1 次巻線 PN1、補助巻線 PN2、フォトカブラの受光部 67 などからなり、トランジスタ Q1 がスイッチングし、トランス 50 の 1 次巻線 PN1 から 2 次直流電源回路 60 に電力エネルギーを供給する。

【0004】 2 次直流電源回路 60 は、トランス 50 の 2 次巻線 SN1A 及び SN1B、安定化回路 65、電流検出回路 70 及び巻数切換手段 80 からなり、供給された電力エネルギーから 2 次直流電圧を発生して負荷 90 に供給する。安定化回路 65 内には前記フォトカブラの発光部 66 が設けられている。トランス 50 の 2 次巻線 SN1A の巻数は、2 次巻線 SN1B のそれよりも多く、また、1 次巻線 PN1 に対しては巻数が多い場合 (SN1A+SN1B) と巻数が少ない場合 (SN1A) とに切換可能とされている。

【0005】 このため、巻線 SN1A、SN1B との間

のタップTは、ダイオードD3を介して安定化回路65（負荷90）に接続されている。上記の巻線の切換時にはダイオードD3が整流作用を営み、ダイオードD4は整流は行わない。トランジスタ82がオフしているからである。

【0006】電流検出回路70は、安定化回路65に接続された抵抗71と比較器72からなり、2次直流電源回路60の出力電流Iを抵抗71で検出し、その出力電流Iが設定電流値以下となった場合に、比較器72の出力をHレベルに切り換える。巻数切換手段80は、比較器72の出力端子にベースが接続されたNPNトランジスタ81と、ダイオードD2のカソードにエミッタが接続されたPNPトランジスタ82とから構成され、電流検出回路70の出力信号（比較器72の出力信号）がHレベルのときは、トランジスタ81がオンし、これにより、トランジスタ82がオフして、トランス50の2次巻線の巻数を少ない方の値（SN1A）に切り換える。

【0007】この従来のスイッチング電源回路では、常用負荷の場合、トランス50の2次巻線の巻数が多い方の値（SN1A+SN1B）とされ、1次直流電源回路40から2次直流電源回路60へ1次巻線PN1と2次巻線（SN1A+SN1B）との巻数比に応じた、大なる電力伝達能力で電力エネルギーが供給される。2次直流電源回路60は、供給された電力エネルギーから2次直流電力を生成して、負荷90に供給する。

【0008】このとき、2次直流電源電圧は安定化回路65で検出され、1次直流電源回路40側の電圧制御用トランジスタQ2にフィードバックされる。従って、トランジスタQ2が一定のオン・オフデューティのもとにスイッチング用トランジスタQ1の発振周波数fを調整するので、1次直流電源回路40から2次直流電源回路60への供給電力エネルギー量が増減調整される。よって、2次直流電源電圧を安定化することができる。

【0009】負荷90が非常に軽くなると、トランジスタQ1の発振周波数が極めて高くなり、その通電時間が短くなる。従って、制御不安定となるばかりか、2次直流電源電圧が急上昇するおそれがある。しかし、この従来回路では、そのような軽負荷の場合は、安定化回路65の出力電流Iが減少するので、電流検出回路70がそれを検出し、Hレベルの信号をトランジスタ81のベースに印加する。これにより、トランジスタ81がオンし、トランジスタ82がオフし、トランス50の2次巻線の巻数を少ない方の値（SN1A）に切り換える。この結果、1次巻線PN1の巻数が一定であるから、1次直流電源回路40から2次直流電源回路60への電力伝達能力が低下する。

【0010】これにより、1次直流電源回路40側から見ると、2次直流電源回路60の負荷90がそれほど軽くなっていない場合と同様となり、2次直流電源電圧の急上昇を抑えることができると共に、トランジスタQ1

の発振周波数fを極めて低くする現象が無くなり、発振周波数fを比較的高い常用負荷の場合と同様に安定制御を継続できる。

【0011】図6は従来のスイッチング電源回路の他の例の回路図を示す。この従来のスイッチング電源回路は、スイッチング素子であるパワーMOS FET2を制御するのに制御用集積回路（IC）4を使用し、スイッチング周波数を一定にしてパルス幅を変化することで、出力電圧を制御する構成である。

【0012】図6の従来のスイッチング電源回路の動作について説明するに、直流電圧源6からの入力直流電圧は、コンデンサ7を通してパワーMOS FET2に供給される。このパワーMOS FET2は、そのゲートに印加される制御用IC4の出力パルスによりスイッチング制御され、入力電圧を断続的にトランス8の1次巻線に印加して、トランス8の2次側に直流電力を供給する。

【0013】2次側に供給された直流電力は、ダイオード9及び10で整流され、チョークコイル11とコンデンサ12で平滑されることで、一定の直流出力電圧となり、負荷抵抗13に印加される。また、この出力電圧は制御用IC4に帰還される。制御用IC4は、入力電圧や出力電流が変化すると、1つのスイッチング用パワーMOS FET2のオンデューティ比を変化させることで、出力電圧を安定に制御している。すなわち、出力パワーが小さい場合は、出力電圧が上昇するのを防止するため、オンデューティ比を小さくすることで、出力電圧を安定化している。

【0014】上記のように、図6の従来のスイッチング電源回路では、電源の出力パワーが大きい場合も小さい場合も、1つのパワーMOS FET2をスイッチング素子に使用してスイッチング動作を行っている。

【0015】

【発明が解決しようとする課題】図5に示した従来のスイッチング電源回路のようなRCC方式をとっているスイッチング電源回路では、入力電圧や出力電流の変動に対して、出力電圧を安定化させる手段として、トランジスタQ1のスイッチング周波数を変化させる方式をとっているが、出力パワーが小さくなると、トランジスタQ1の発振周波数が極めて高くなり、動作が不安定になるばかりか、出力電圧が急上昇するおそれがある。

【0016】この不具合を解決するために、図5に示した従来のスイッチング電源回路では、出力電流を抵抗71で検出し、検出した電流値によりトランス50の2次側の巻数を切り換える方式をとっている。

【0017】しかるに、この図5に示した従来のスイッチング電源回路では、制御回路をディスクリート部品で組んでおり、回路規模が大きくなり、電源の小型化ができない。また、この従来のスイッチング電源回路では、トランス50からは決まった巻線の巻数しか選べないた

め、負荷状況に応じて最適な巻数比を選べず、トランス50の切換時にはスイッチング用トランジスタQ1の発振周波数を最適な周波数にできないという問題もある。

【0018】また、図6に示した従来のスイッチング電源回路では、電源のパワーが大きい場合も小さい場合も、同一のスイッチング素子（パワーMOS FET 2）を使用しているため、出力パワーの大きなスイッチング電源を出力パワーの小さい状態で使用した場合に、電源全体の損失に占める割合におけるスイッチング素子（パワーMOS FET 2）の寄生容量によるスイッチング損失が大きくなり、変換効率を上げることができない。これはスイッチング素子（パワーMOS FET 2）の寄生容量が一定であることにより、出力パワーによらず常に寄生容量による損失が一定の値になるからである。

【0019】また、図6に示した従来のスイッチング電源回路では、パワーMOS FET 2として寄生容量が小さなパワーMOS FETを用いて出力パワーの大きな電源に使用した場合、寄生容量が小さなパワーMOS FETは、パワーMOSFETの構造上オン抵抗が高いため、パワーMOS FETのオン抵抗によるスイッチング損失が、電源全体の損失に占める割合が大きくなり、変換効率を上げることができない。

【0020】本発明は以上の点に鑑みなされたもので、スイッチング素子としてパワーMOS FETを使用し、出力パワーの大きなスイッチング電源を出力パワーの小さい状態で使用した場合に、パワーMOS FETの寄生容量によるスイッチング損失を低減し得るスイッチング電源回路を提供することを目的とする。

【0021】

【課題を解決するための手段】本発明は上記の目的を達成するため、直流電源とトランスの一次巻線の一端の間にスイッチング素子が接続され、トランスの二次巻線が第1の整流回路を介して負荷に接続されると共に負荷に印加される出力電圧を制御回路に帰還し、制御回路により出力電圧に応じたオンデューティ比の制御信号を生成してスイッチング素子をスイッチング制御するスイッチング電源回路において、スイッチング素子として、寄生容量が小なる第1のトランジスタと、第1のトランジスタに並列接続され、第1のトランジスタよりもオン抵抗が小である第2のトランジスタとを設けると共に、出力パワーに応じた電流値を検出する検出回路と、検出回路により検出された電流値に基づき、出力パワーが予め設定したしきい値よりも大なときには第1及び第2のトランジスタを並列動作させ、出力パワーがしきい値よりも小なときには第1のトランジスタのみを選択動作させるように、制御回路の出力制御信号を第1及び第2のトランジスタに選択入力する切換回路とを設けたものである。ここで、上記の第1及び第2のトランジスタは、パワーMOSFETである。

【0022】本発明では、検出回路により出力パワーに応じた電流値をトランスの入力電流又は出力電流に基づき検出し、検出回路により検出された電流値に基づき、出力パワーが予め設定したしきい値よりも大なときには寄生容量が小なる第1のトランジスタとオン抵抗が小である第2のトランジスタを並列動作させることにより、並列接続された第1及び第2のトランジスタの並列回路全体のオン抵抗を、第1のトランジスタのみを使用するときよりも低減させることができる。また、出力パワーがしきい値よりも小なときには第1のトランジスタのみを選択動作させるようにしているため、スイッチング素子の寄生容量を小さくできる。

【0023】

【発明の実施の形態】次に、本発明の実施の形態について図面と共に説明する。図1は本発明になるスイッチング電源回路の一実施の形態の回路系統図を示す。同図中、図6と同一構成部分には同一符号を付してある。図1において、パワーMOS FET 1は寄生容量は大きい、オン抵抗は小さく大きなドレイン電流を流すことができるスイッチング素子であり、またパワーMOS FET 2は寄生容量が小さなスイッチング素子であり、これらのFET 1及び2はドレイン同士とソース同士とが接続されている（並列接続されている）。

【0024】また、パワーMOS FET 1及び2の各ゲートは、切換回路3を介して制御用IC 4の制御出力端子に接続されている。切換回路3は切換信号発生回路3aと2つの開閉成スイッチ3b及び3cからなる。スイッチ3b及び3cは切換信号発生回路3aよりの切換信号に基づき、オンまたはオフに制御され、制御用IC 4からの制御信号をパワーMOS FET 1及び2に選択入力する。

【0025】更に、パワーMOS FET 1及び2の各ドレインはトランス8の一次巻線8aの一端に接続され、各ソースは電流検出回路5を介して直流電源6の負側端子とコンデンサ7との接続点にそれぞれ接続されている。また、直流電源6の正側端子とコンデンサ7との接続点は、トランス8の一次巻線8aの他端に接続されている。

【0026】トランス8の二次巻線8bは、一端が整流用ダイオード9のアノードに接続され、他端が整流用ダイオード10のアノード、コンデンサ12の一端及び負荷抵抗13の一端にそれぞれ接続されている。整流用ダイオード9のカソードは整流用ダイオード10のカソードに接続される一方、チョークコイル11を介してコンデンサ12及び負荷抵抗13の各他端に接続されている。負荷抵抗13の両端の出力電圧は、制御用IC 4に帰還されている。

【0027】次に、本実施の形態の動作について説明する。まず、出力パワーが大きいときの動作について説明するに、この場合は、電流検出回路5に流れる電流が所

定のしきい値よりも大きく、これにより電流検出回路5の出力電流検出信号が入力される切換信号発生回路3aからスイッチ3b及び3cの両方をオンとする切換信号が出力される。これにより、制御用IC4の出力信号は、寄生容量は大きい、大きなドレイン電流を流せるパワーMOS FET1と、寄生容量が小さなパワーMOS FET2の両ゲートに印加される。

【0028】従って、出力パワーが大きいときには、2つのパワーMOS FET1及び2が並列動作し、寄生容量が小さなパワーMOS FET2のみを使用していた従来回路に比べてオン抵抗の損失が減り、寄生容量による損失分とオン抵抗による損失分の合計であるスイッチング損失が全体として低減する。

【0029】次に、出力パワーが小さいときの動作について説明するに、この場合は、電流検出回路5に流れる電流が所定のしきい値よりも小さく、これにより電流検出回路5の出力電流検出信号が入力される切換信号発生回路3aからスイッチ3bをオフとし、かつ、スイッチ3cをオンとする切換信号が出力される。これにより、制御用IC4の出力信号は、寄生容量が小さなパワーMOS FET2のゲートのみに印加される。

【0030】従って、出力パワーが小さいときには、パワーMOS FET2のみが動作し、出力パワーが小さいときのスイッチング損失を主として決定する寄生容量による損失分を低減できるので、全体のスイッチング損失も少なくできる。

【0031】

【実施例】次に、本発明の実施例について図2乃至図3と共に説明する。図2は本発明になるスイッチング電源回路の第1実施例の回路系統図を示す。同図中、図1と同一構成部分には同一符号を付し、その説明を省略する。図2に示す実施例は、図1の電流検出回路5をカレントトランス16の一次巻線で構成し、切換回路3をコンパレータ14、基準電圧源15、カレントトランス16の二次巻線、抵抗17、ダイオード18、コンデンサ19、スイッチ20から構成したものである。

【0032】パワーMOS FET1及び2のソースは、カレントトランス16の一次巻線を介して直流電源6の負側端子とコンデンサ7との接続点に接続されている。また、カレントトランス16の二次巻線には抵抗17が並列接続されている。更に、カレントトランス16の二次巻線は、一端がダイオード18のアノードに接続され、他端がコンデンサ19の一端と共に接地されている。ダイオード18のカソードは、コンデンサ19の他端に接続される一方、コンパレータ14の非反転入力端子に接続されている。

【0033】コンパレータ14は、反転入力端子に基準電圧源15が接続され、出力信号によりスイッチ20をオン/オフ制御する。スイッチ20はパワーMOS FET1のゲートと制御用IC4の出力端子との間に設け

られている。

【0034】次に、この実施例の動作について説明する。直流電圧源6からの入力直流電圧は、コンデンサ7を通してパワーMOS FET1及び2に供給される。このパワーMOS FET1及び2は、そのゲートに印加される制御用IC4の出力パルスによりスイッチング制御され、入力電圧を断続的にトランス8の1次巻線に印加して、トランス8の2次側に直流電力を誘起させる。

【0035】トランス8の2次側に一次巻線と二次巻線の巻数比に応じた電力伝達効率で誘起された直流電力は、ダイオード9及び10で整流され、チョークコイル11とコンデンサ12で平滑されることで、一定の直流出力電圧となり、負荷抵抗13に印加される。また、この出力電圧は制御用IC4に帰還される。制御用IC4は、入力電圧や出力電流が変化すると、パワーMOS FET1、2のオンデューティ比を変化させることで、出力電圧を安定に制御する。すなわち、出力パワーが小さい場合は、出力電圧が上昇するのを防止するため、オンデューティ比を小さくすることで、出力電圧を安定化している。

【0036】ここで、出力パワーが大きくなると、スイッチング電源の一次側にあるカレントトランス16の一次巻線に流れる電流値も大きくなる。カレントトランス16の二次巻線に並列接続された抵抗17には、カレントトランス16の一次巻線と二次巻線に応じた電流が流れ、抵抗17の抵抗値に応じた電圧が発生する。抵抗17に発生した電圧は、ダイオード18とコンデンサ19により整流され、コンパレータ14の非反転入力端子に入力される。

【0037】コンパレータ14は上記の整流電圧と基準電圧源15から反転入力端子に印加されている基準電圧とをレベル比較し、上記の整流電圧が基準電圧よりも大きい場合にはハイレベルの信号を出力する。すなわち、上記の整流電圧が基準電圧よりも大きくなるほど出力パワーが大きくなると、コンパレータ14から出力されるハイレベルの信号によりスイッチ20がオンとされる。この結果、制御用IC4の出力制御信号はパワーMOS FET1及び2の両ゲートに印加され、パワーMOS FET1及び2が並列動作する。

【0038】従来は、寄生容量の小さなパワーMOS FET2のみを用いてスイッチングを行っていたため、寄生容量によるスイッチング損失は少なかったが、出力パワーが大きくなると、パワーMOS FETのオン抵抗によるスイッチング損失が増加するため、寄生容量によるスイッチング損失よりもオン抵抗によるスイッチング損失が増えて全体としてスイッチング損失が増加した。

【0039】これに対し、この実施例では、出力パワーが所定値よりも大きくなると、スイッチ20がオンし

て、寄生容量はパワーMOS FET 2のそれよりも大きい、オン抵抗が非常に小さなパワーMOS FET 1を同時に動作させるようにしているため、スイッチング回路のオン抵抗がパワーMOS FET 2のみを用いていたときよりもパワーMOS FET 1及び2の並列回路による大幅に小さな値となり、寄生容量によるスイッチング損失分とオン抵抗によるスイッチング損失分の合計である全体のスイッチング損失を低減できる。

【0040】一方、出力パワーが小さいときは、カレントトランス16の一次巻線に流れる電流も小さくなるため、抵抗17に発生する電圧も小さくなり、コンパレータ14はローレベルの信号を出力し、スイッチ20をオフとする。スイッチ20がオフすると、パワーMOS FET 1のゲートには制御用14の出力制御信号はスイッチ20で遮断され、スイッチング回路は寄生容量の小さなパワーMOS FET 2のみで構成される。

【0041】ここで、図3に示すように、パワーMOS FETの入力容量 C_{iss} は、ゲート・ドレイン間の寄生容量 C_{GD} (C_{mi})とゲート・ソース間の寄生容量 C_{GS} との和に略等しく、出力容量 C_{oss} は、ゲート・ドレイン間の寄生容量 C_{GD} (C_{mi})とドレイン・ソース間の寄生容量 C_{DS} との和に略等しい。出力パワーが小さい場合のスイッチング損失は、上記の入力容量 C_{iss} と出力容量 C_{oss} との影響が大きくなり、寄生容量に比例してスイッチング損失が大きくなる。従って、出力パワーが小さくときには、寄生容量の小さなパワーMOS FET 2でスイッチングをすることにより、スイッチング損失を小さくできる。

【0042】このように、本実施例によれば、コンパレータ14に入力される整流電圧が基準電圧よりも大きくなるほど出力パワーが大きくなる場合には、オン抵抗の小さなパワーMOS FET 1を寄生容量の小さなパワーMOS FET 2と並列動作させ、また、コンパレータ14に入力される整流電圧が基準電圧よりも小さくなる、出力パワーが小さくときには、寄生容量の小さなパワーMOS FET 2のみを動作させてスイッチングすることにより、いずれの場合も最適にスイッチング損失を低減でき、これにより、電源の変換効率を上げることができる。

【0043】次に、本発明の第2実施例について説明する。図4は本発明になるスイッチング電源回路の第2実施例の回路系統図を示す。同図中、図2と同一構成部分には同一符号を付し、その説明を省略する。図4に示す実施例は、出力パワーの検出をトランス8の二次巻線側で行う例である。

【0044】出力パワーに比例した電流はトランス8の二次巻線8bの一端とダイオード10のアノード、コンデンサ12及び負荷抵抗13の共通接続点との間に挿入接続されたカレントトランス21の一次巻線に検出する。カレントトランス21の二次巻線には抵抗23が並

列接続されている。更に、カレントトランス22の二次巻線は、一端がダイオード23のアノードに接続され、他端がコンデンサ24の一端と共に接地されている。ダイオード23のカソードは、コンデンサ24の他端に接続される一方、コンパレータ14の非反転入力端子に接続されている。

【0045】これにより、この実施例によれば、出力パワーが大きくなる場合には、ダイオード23及びコンデンサ24で整流されてコンパレータ14に入力される整流電圧が基準電圧源15よりの基準電圧よりも大きくなり、スイッチ20がオンされるので、第1実施例と同様にオン抵抗の小さなパワーMOS FET 1を寄生容量の小さなパワーMOS FET 2と並列動作させる。また、出力パワーが小さいときは、ダイオード23及びコンデンサ24で整流されてコンパレータ14に入力される整流電圧が基準電圧源15よりの基準電圧よりも小さくなり、スイッチ20がオフされるので、寄生容量の小さなパワーMOS FET 2のみを動作させてスイッチングすることにより、いずれの場合も最適にスイッチング損失を低減でき、これにより、電源の変換効率を上げることができる。

【0046】

【発明の効果】以上説明したように、本発明によれば、検出回路により出力パワーに応じた電流値をトランスの入力電流又は出力電流に基づき検出し、検出回路により検出された電流値に基づき、出力パワーが予め設定したしきい値よりも大なるときには寄生容量が小なる第1のトランジスタとオン抵抗が小である第2のトランジスタを並列動作させることにより、並列接続された第1及び第2のトランジスタの並列回路全体のオン抵抗を、第1のトランジスタのみを使用するときよりも低減させるようにしたため、オン抵抗によるスイッチング損失の増加を抑え、寄生容量とオン抵抗の合計分のスイッチング損失を低減できる。

【0047】また、本発明によれば、出力パワーがしきい値よりも小なるときには、寄生容量が小なる方の第1のトランジスタのみを選択動作させることにより、スイッチング素子の寄生容量を小さくしたため、出力パワーの大きなスイッチング電源を出力パワーの小さい状態で使用した場合に、トランジスタの寄生容量によるスイッチング損失を低減でき、電源全体の損失に占める割合を小さくでき、よって電源の変換効率を上げることができる。

【図面の簡単な説明】

【図1】本発明になるスイッチング電源回路の一実施の形態の回路系統図である。

【図2】本発明になるスイッチング電源回路の第1実施例の回路系統図である。

【図3】パワーMOS FETの寄生容量の説明図である。

【図4】本発明になるスイッチング電源回路の第2実施例の回路系統図である。

【図5】従来のスイッチング電源回路の一例の回路図である。

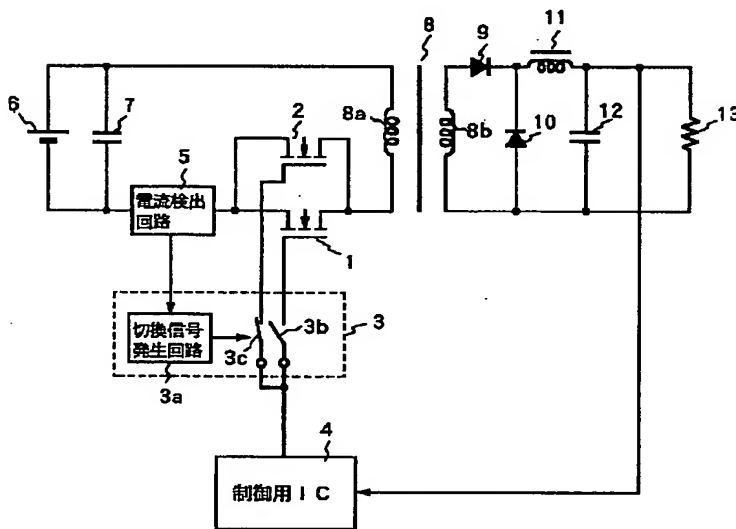
【図6】従来のスイッチング電源回路の他の例の回路図である。

【符号の説明】

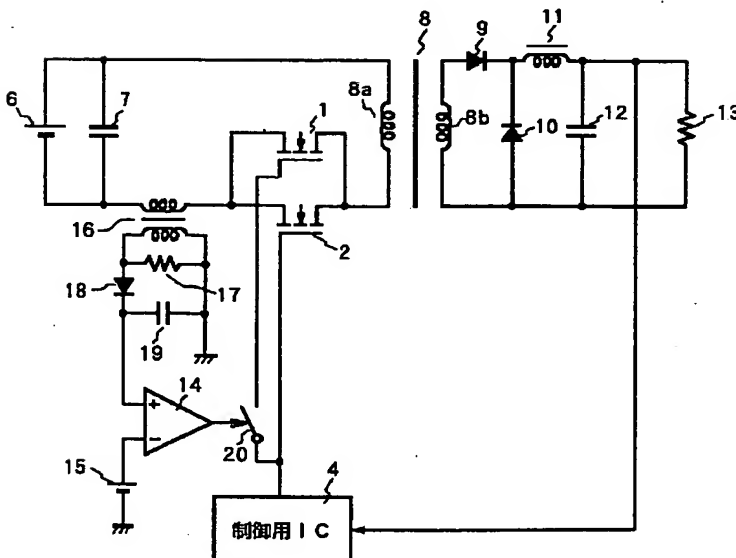
- 1 オン抵抗の小さいパワーMOS FET
- 2 寄生容量の小さいパワーMOS FET
- 3 切換回路
- 4 制御用集積回路 (IC)
- 5 電流検出回路

- 6 直流電源
- 7、19、24 コンデンサ
- 8 トランス
- 9、10、18、23 整流用ダイオード
- 11 チョークコイル
- 13 負荷抵抗
- 14 コンパレータ
- 15 直流電圧源
- 16、21 カレントトランス
- 17、22 電流検出用抵抗
- 20 スイッチ

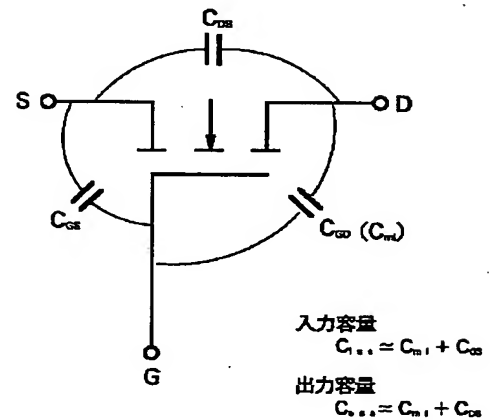
【図1】



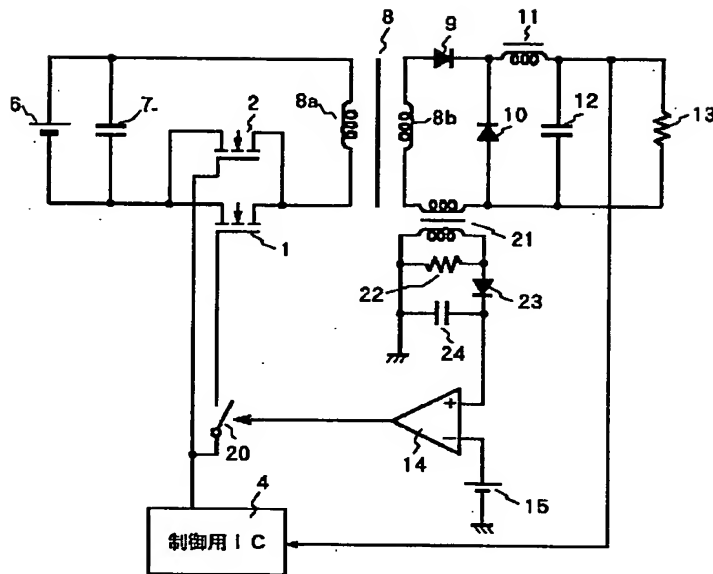
【図2】



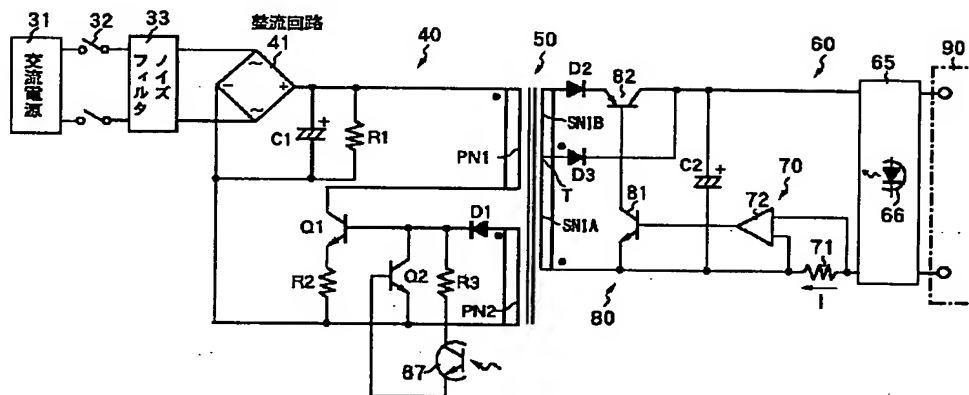
【図3】



【図 4】



【図 5】



【図 6】

